Ad, Soyad, No ve Sıra Numarası: 09.01.2012

Karadeniz Teknik Üniversitesi

Mühendislik Fakültesi

Bilgisayar Mühendisliği Bölümü

BİL 107 Dönem Sonu Sınavı

1. Sık çalışan aritmetik işlemleri daha hızlı sonuçlandırarak başarımı yükseltmek için işlemciler bu tip işlemleri bir algoritma ile çalıştırılma yerine doğrudan donanım ile gerçekleştirmektedir. Örneğin sık kullanılan kare alma işlemini çarpma algoritması ile hesaplayarak gerçekleştirmek yerine girişinden verilen sayının karesini doğrudan çıkışta üretebilen bir mantık devresi kullanılmaktadır. Girişinden verilen 4 bit işaretsiz tamsayıların kare değerinin en az anlamlı 4. bitini üretebilecek bir mantık devresine ait;

en az anlamlı 4. bit

a. Doğruluk tablosunu oluşturunuz

x_3x_2 \ x_1x_0	00	01	11	10
00	0	0	1	0
01	0	1	0	0
11	0	1	0	0
10	0	0	1	0

$x_2\bar{x}_1x_0$ $\bar{x}_2x_1x_0$



x_3	x_2	x_1	x_0	y_7	y_6	y_5	y_4	y_3	y_2	y_1	y_0
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	0	1	0	0	1
0	1	0	0	0	0	0	1	0	0	0	0
0	1	0	1	0	0	0	1	1	0	0	1
0	1	1	0	0	0	1	0	0	1	0	0
0	1	1	1	0	0	1	1	0	0	0	1
1	0	0	0	0	1	0	0	0	0	0	0
1	0	0	1	0	1	0	1	0	0	0	1
1	0	1	0	0	1	1	0	0	1	0	0
1	0	1	1	0	1	1	1	1	0	0	1
1	1	0	0	1	0	0	1	0	0	0	0
1	1	0	1	1	0	1	0	1	0	0	1
1	1	1	0	1	1	0	0	0	1	0	0
1	1	1	1	1	1	1	0	0	0	0	1

b. En az sayıda mantık kapısı kullanacak şekilde ifadesini bulunuz

$$y_3 = x_2\bar{x}_1x_0 + \bar{x}_2x_1x_0$$

$$y_3 = x_0(x_1 \oplus x_2)$$

2. Veri iletimi veya depolamada oluşabilecek bit hatalarını algılama için kullanılacak eşlik (parity) biti üretimi için bir devre tasarlanması gerekmektedir. Öğrenci numaranız tek sayı ise, girişten verilen k bit uzunluktaki bit dizisindeki değeri 1 olan bitlerin sayısının tek olması durumunda çıkış üreten, öğrenci numaranız çift sayı ise bit dizisindeki 1'lerin sayısının çift olması durumunda çıkış üreten bir sayısal devreyi sistematik olarak tasarlayınız
Not: k bitlik eşlik biti üreticisini yapısını anlamak için önce 2 bit ve daha sonra 4 bit veri için gerek duyulan eşlik bitini üreten devreyi tasarladıktan sonra çözümünüzü k bit (k=2n, n=1,2,3,...) uzunluktaki bit dizisi için genelleştirebilirsiniz.

Eşlik biti veri bloğu içindeki 1'lerin eldesiz toplamı sonucundan bulunabilir.

İki bit için:

x_1	x_0	y_0
0	0	0
0	1	1
1	0	1
1	1	0

x_1 \ x_0	0	1
0	0	1
1	1	0

$$y_0 = \bar{x}_1x_0 + x_1\bar{x}_0$$

$$y_0 = x_0 \oplus x_1$$

Dört bit için:

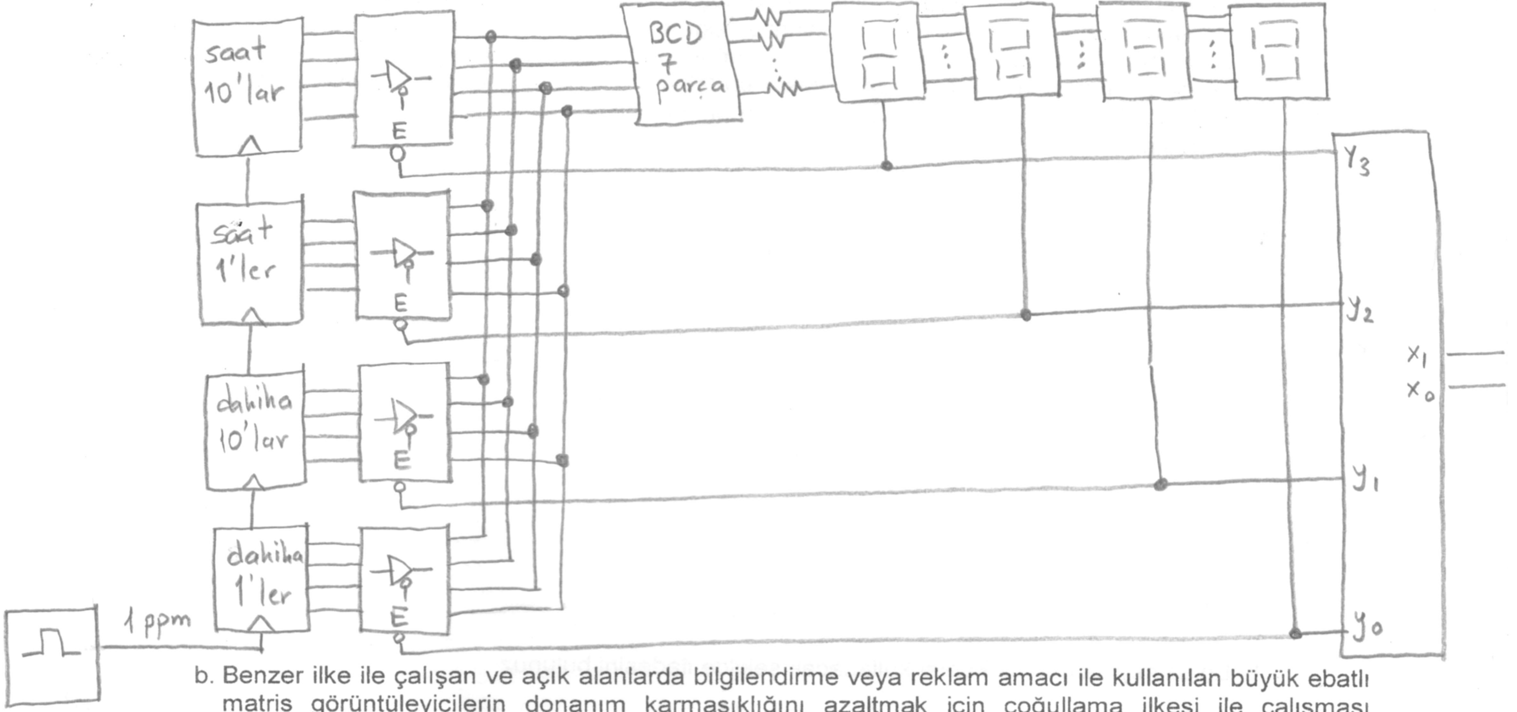
$$y = x_3 + x_2 + x_1 + x_0$$
$$= (x_3 + x_2) + (x_1 + x_0)$$
$$= x_3 \oplus x_2 + x_1 \oplus x_0$$
$$= (x_3 \oplus x_2) \oplus (x_1 \oplus x_0)$$

K bit için:

$$y = x_{k-1} + x_{k-2} + \cdots + x_0$$
$$= (\cdots) + (\cdots) + \cdots + (\;)$$
$$= (\cdots) \oplus (\cdots) \oplus \cdots (\;)$$

3. Çok haneli 7 parçalı sayısal göstergelerde her bir hane için kullanılması gereken BCD'den 7 parçalı gösterge kod çözücü tümdevrelerin ve her bir parçadaki LED'in sürülmesi için gereken akım sınırlayıcı dirençlerin oluşturacağı devre karmaşıklığını azaltmak için çoğullanmış sayısal göstergeler kullanılmaktadır.

a. 4 hane ile ifade edilen bir sayısal saat için gereken modulo sayıcı tümdevrelerinin BCD çıkışlarını giriş olarak alan bir çoğullayıcı devresini tasarlayarak her bir devre elemanının adını ve giriş çıkış işaretlerini de gösteren detaylı öbek çizgeyi veriniz.



b. Benzer ilke ile çalışan ve açık alanlarda bilgilendirme veya reklam amacı ile kullanılan büyük ebatlı matris görüntüleyicilerin donanım karmaşıklığını azaltmak için çoğullama ilkesi ile çalışması istendiğinde, aynı boyuttaki çoğullanmamış bir gösterge ile eşit parlaklık değerine ulaşabilmesi için ne(ler) yapılması gereklidir. Kısaca açıklayınız.

Çoğullanmamış bir görüntüleyici ile çoğullanmış bir görüntüleyici arasındaki parlaklık farkı, çoğullanan bilginin parlaklık değerinin ortalama sonucu 1/k oranında azalmasıdır. Bunun önüne geçebilmek için çoğullanmış gösterge parlaklık değerleri k kat yükseltilir.